**预习报告**

**实验内容**

**必做实验**

**1、 4 位全加器**

1) 观察并记录实验箱上的 FPGA 型号，新建一个 Project，器件选用实验箱上的 FPGA；

2) 用“AND2”和“XOR”器件设计一个 1 位半加器，并用功能仿真进行验证；

3) 点击“File”“Create/Update”“Create Symbol File for Current File”菜单项，将 1 位半加器封

装成元件。新建一个原理图文件，调用 2 个半加器实现一个 1 位全加器，并用功能仿真进行验证；

4) **（选做）**对 1 位全加器，进行时序仿真，并做时延分析，要求：

a) 测量 A 第 1~4 个上升沿到对应的的 S 输出之间的延迟时间；

b) 对输出 S 的毛刺进行测量和分析；

c) 对输出 C 的毛刺进行测量和分析；

d) 对测得的时延结果进行分析

5) 将 1 位全加器封装成元件，新建原理图文件，调用 4 个全加器实现一个 4 位行波加法器，用功能

仿真进行验证，用“Tools”“Netlist Viewers”“RTL Viewer”查看电路综合结果；

6) 适配编译，用“Tools”“Netlist Viewers”“Technology Map Viewer”查看电路 Map 结果；

用“Tools”“Chip Planner”查看器件适配结果；

7) 将 4 位全加器下载到实验箱，连接逻辑电平开关进行功能验证**（第 8 周课内验收）**；2023~2024 学年数字逻辑电路实验 A

**2、 4 位全减器**

1) 参看 7.6 节“总线（Bus）功能”，将 4 位全加器的输入输出信号用**总线**的方式引出，并封装成元件；

2) 利用封装好的 4 位全加器，实现 4 位全减器。其中输入为 4 位二进制无符号数，输出结果为 5 位二

进制数，其中最高位为符号位。电路算法要求采用二进制求补相加方式。

3) 将 4 位全减器下载到实验箱，连接逻辑电平开关进行功能验证**（第 8 周课内验收）**；

**实验设计方案**；

仿真时选用：Cyclone III - EP3C5E144C8

设置引脚、编译下载时选用：Cyclone IV E - EP4CE6F17C8

**一、一位半加器和一位全加器**

2) 用“AND2”和“XOR”器件设计一个 1 位半加器，并用功能仿真进行验证；

3) 点击“File”“Create/Update”“Create Symbol File for Current File”菜单项，将 1 位半加器封

装成元件。新建一个原理图文件，调用 2 个半加器实现一个 1 位全加器，并用功能仿真进行验证；

1. **列出真值表和逻辑表达式**

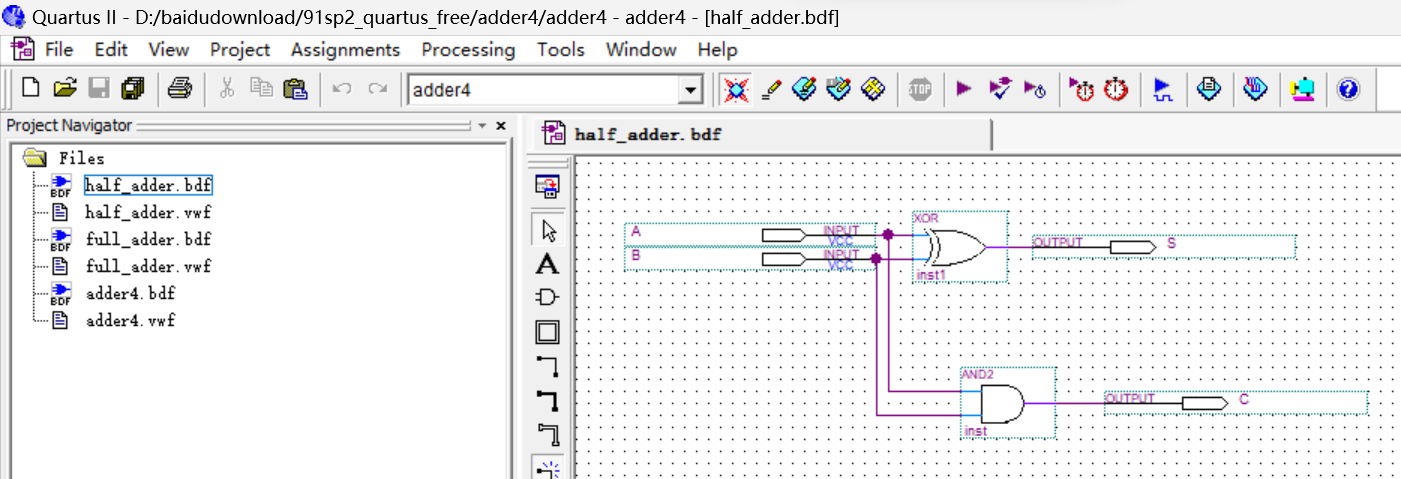
1.一位半加器的真值表:

|  |  |  |  |
| --- | --- | --- | --- |
| Ai | Bi | Si | Ci |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

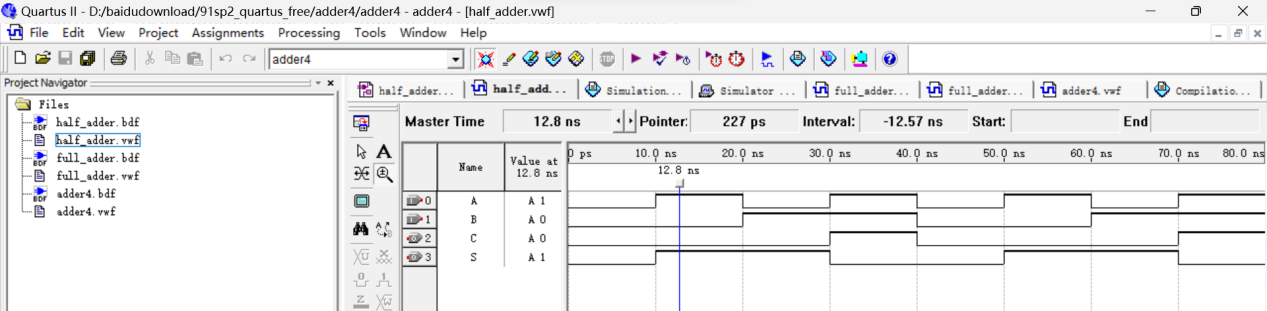
Si=Ai异或Bi -- 异或门：XOR

Ci=Ai\*Bi -- 二输入与门：and2

一位半加器原理图(.bdf)：



一位半加器功能仿真(.vwf)：

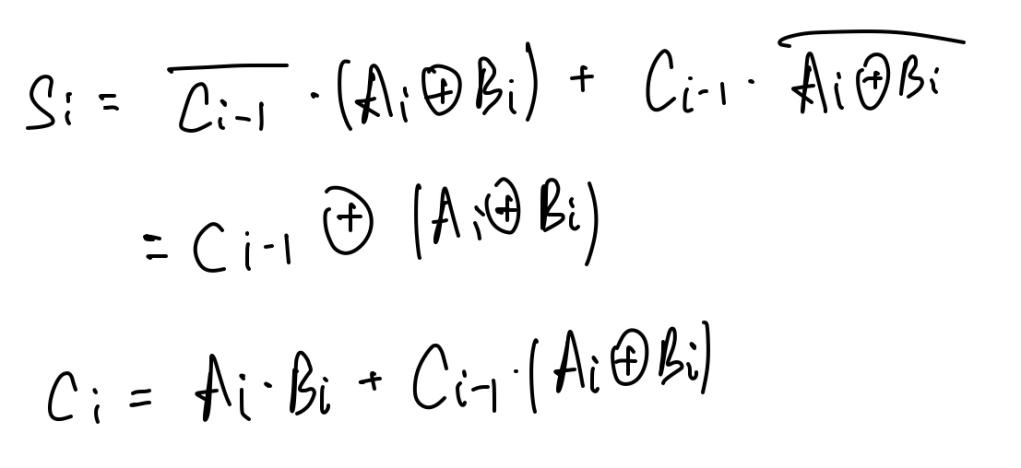


结论：从仿真结果的波形来看，输入输出均符合真值表，一位半加器功能正常。

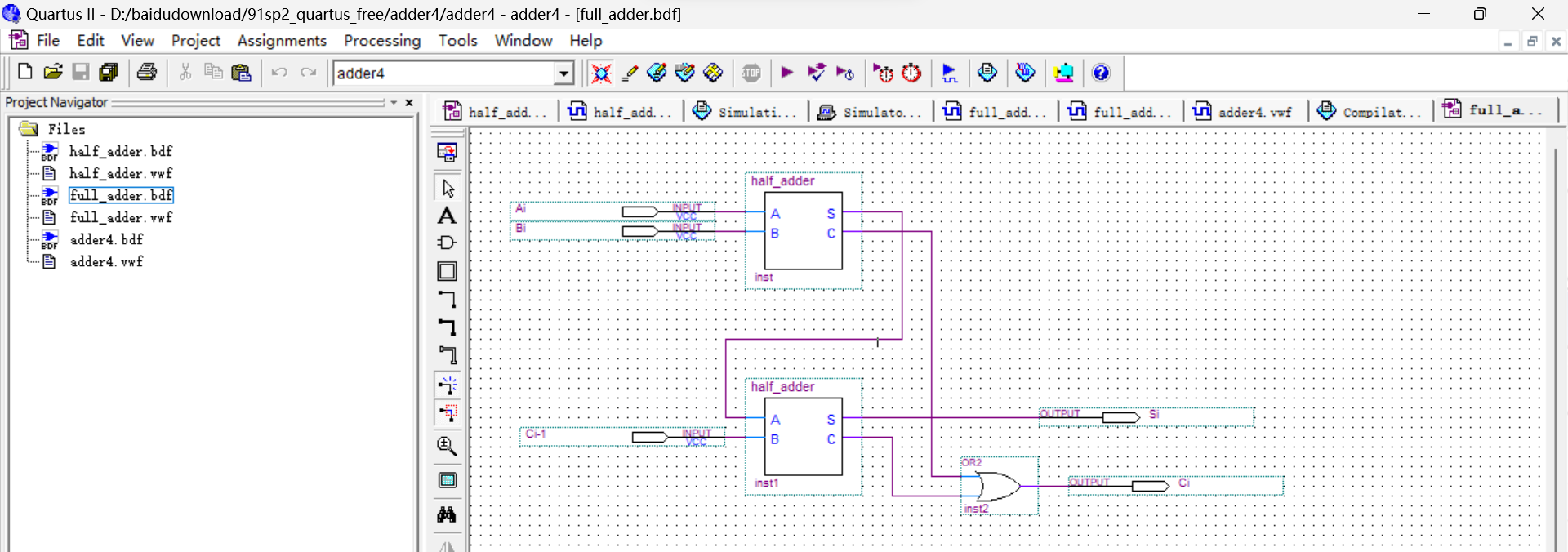
2.一位全加器的真值表:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Ci-1 | Ai | Bi | Si | Ci |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

逻辑表达式如图：

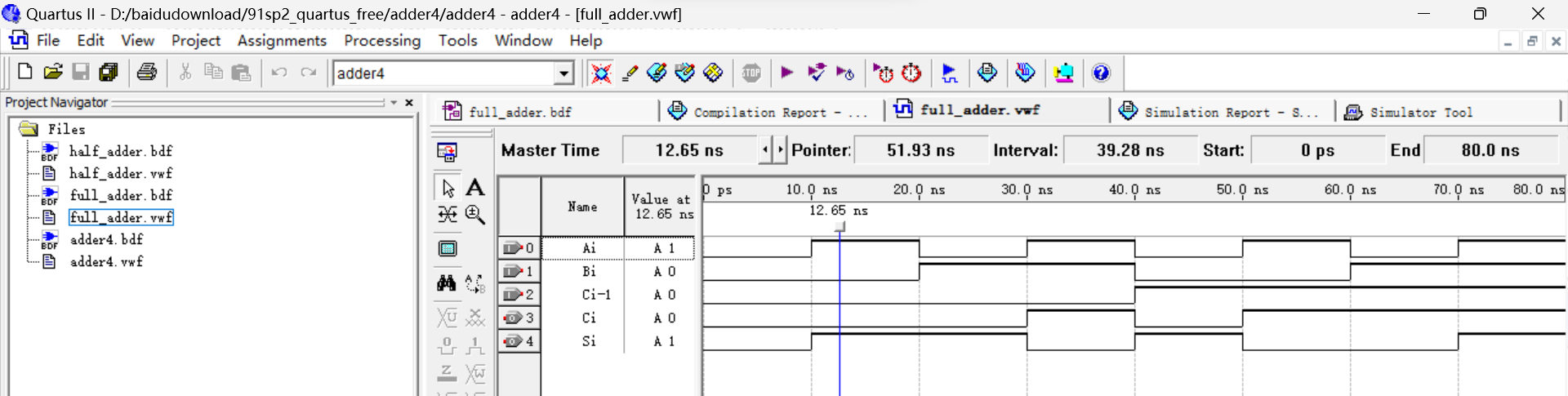
****

一位全加器原理图(.bdf)：



可以看到，一位全加器是由两个封装的一位半加器的例化元件所组成的，体现了自底向上的设计理念。

一位全加器功能仿真(.vwf)：



结论：从仿真结果的波形来看，输入输出均符合真值表，一位全加器功能正常。

**二、（\*选做）一位全加器时延分析**

4) （选做）对 1 位全加器，进行时序仿真，并做时延分析，要求：

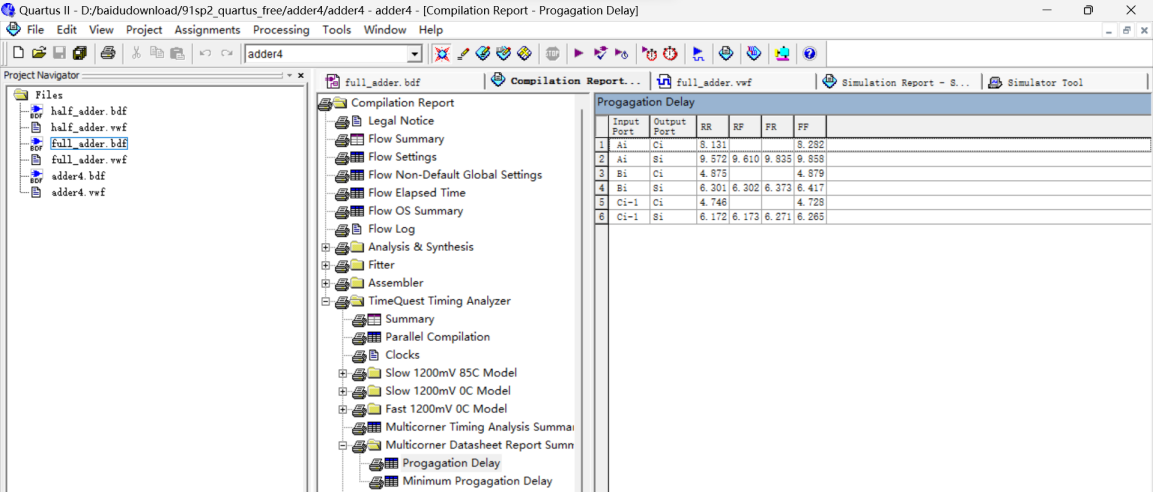
a) 测量 A 第 1~4 个上升沿到对应的的 S 输出之间的延迟时间；

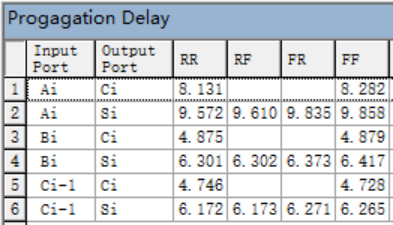
b) 对输出 S 的毛刺进行测量和分析；

c) 对输出 C 的毛刺进行测量和分析；

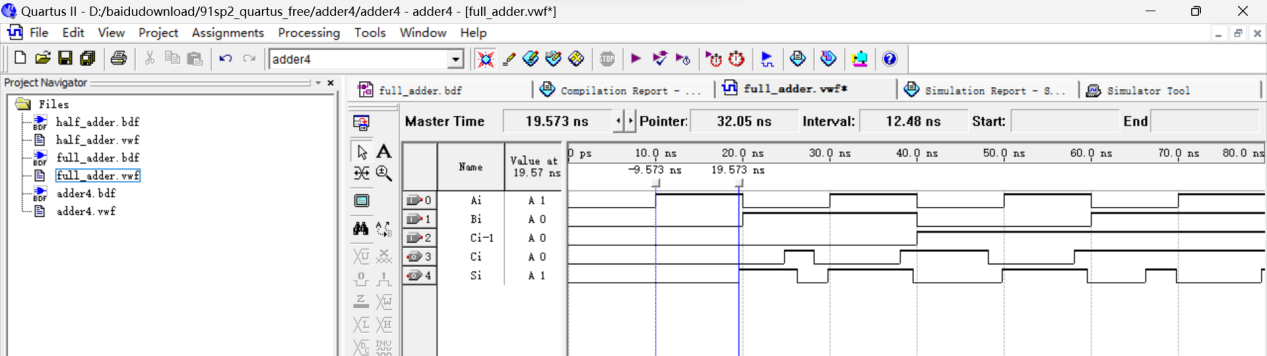
d) 对测得的时延结果进行分析

一位全加器的时延报告表如下：

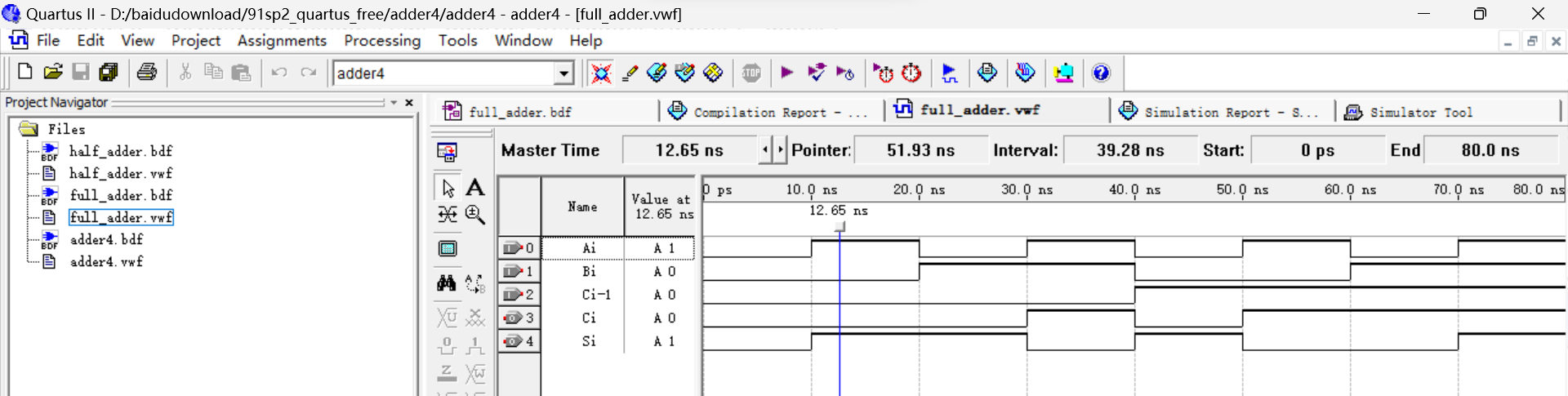




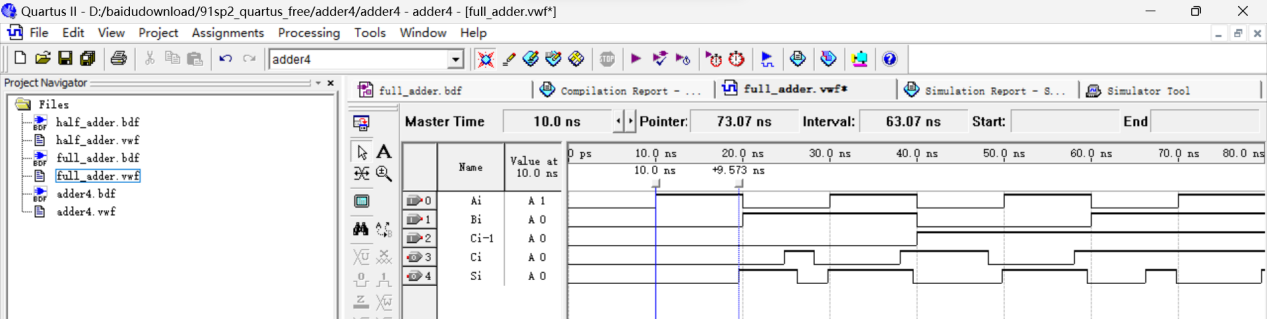
一位全加器时序仿真波形图如下：

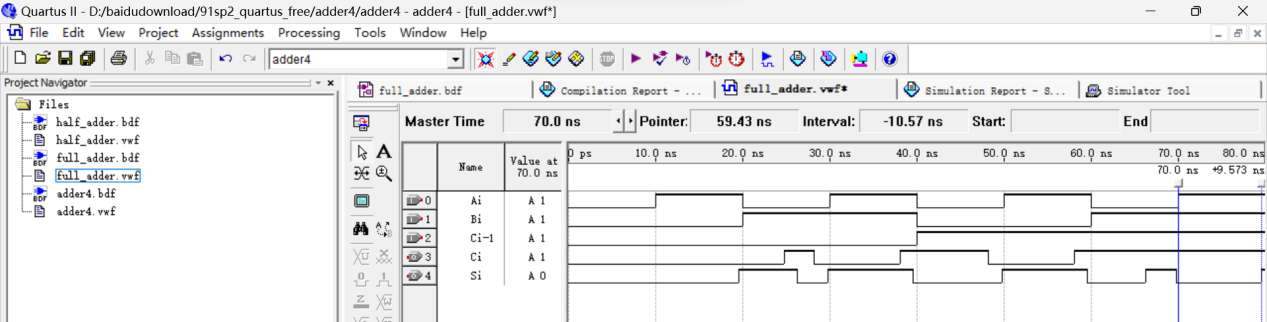


与下图功能仿真对比：

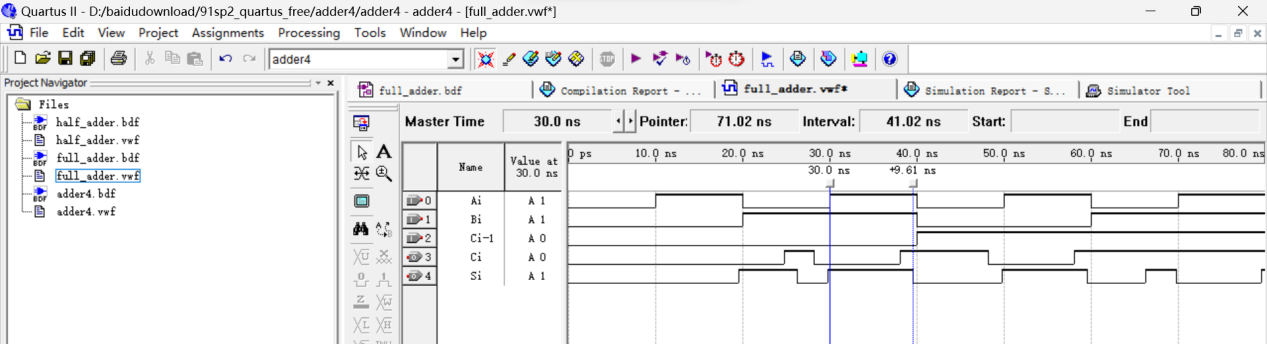


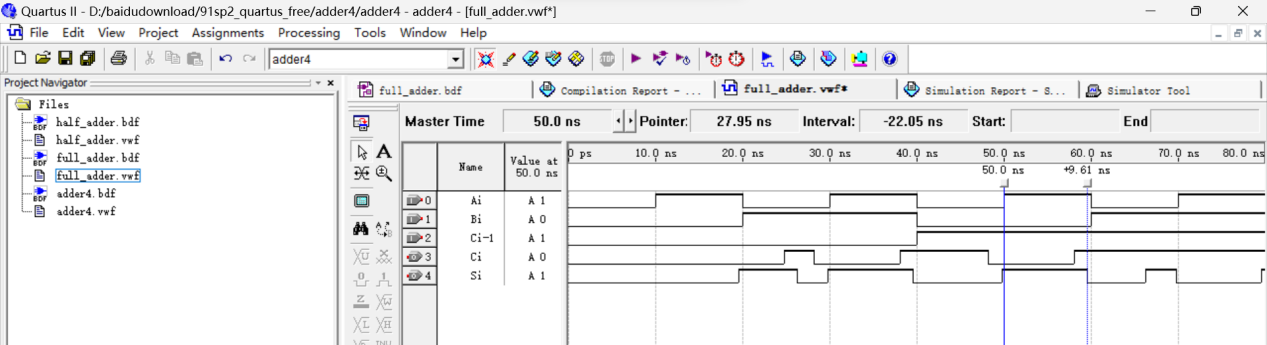
1.用两个Time Bar测量 A 第 1~4 个上升沿到对应的的 S 输出之间的延迟时间:





由上两图可知，第一和第四对[A,S]均为0->1上升沿，时间差为9.573ns，这与Progagation Delay表中[A,S]的RR=9.573ns一致。



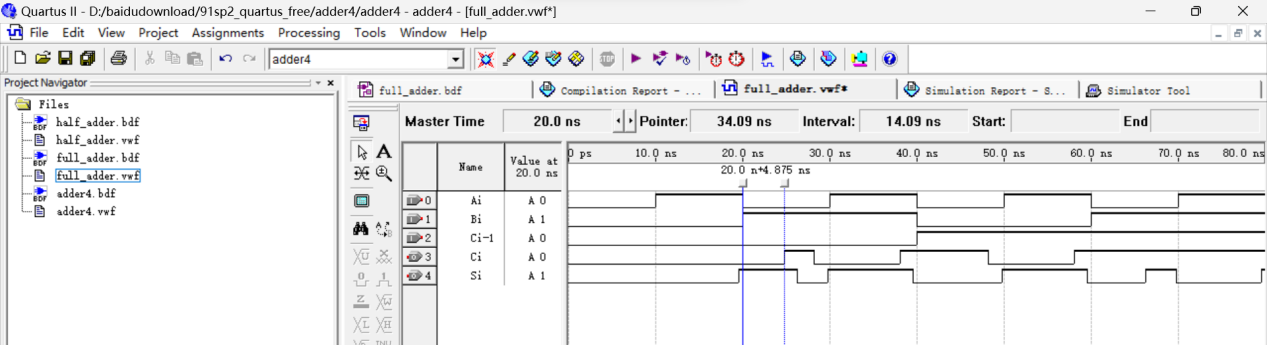


由上两图可知，第二和第三对[A,S]均为1->0下降沿，时间差为9.610ns，这与Progagation Delay表中[A,S]的RR=9.610ns一致。

2.分析S、C上出现的竞争与冒险：

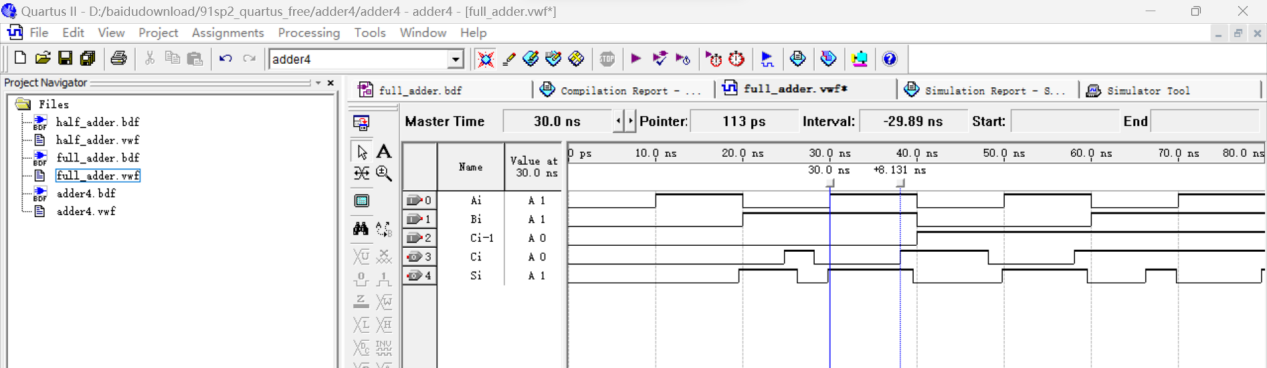
（对输出 S 、C 的毛刺进行测量和分析；对测得的时延结果进行分析）

首先分析C：

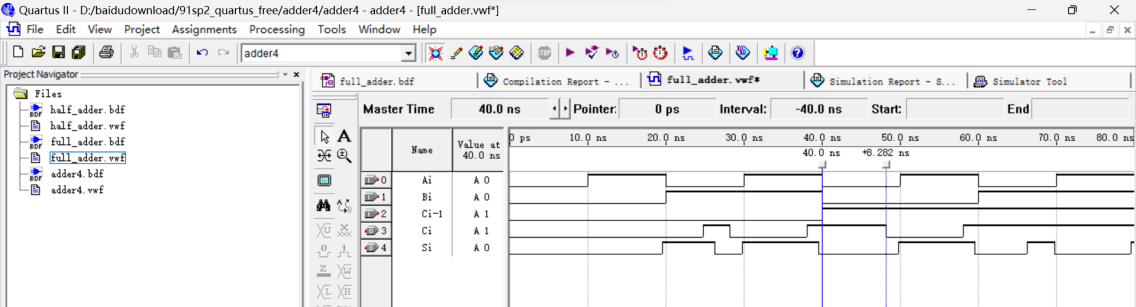


C的第一个上升沿距离B上升沿正好为B和C的RR时延4.875ns，而又有上一问对于A的分析可知此时A功能仿真理论为0但由于时延此时为1，所以此时B上升沿造成A、B同为1，出现竞争冒险，使得C在24.875ns时，功能仿真理论为0，但由于竞争冒险为1。

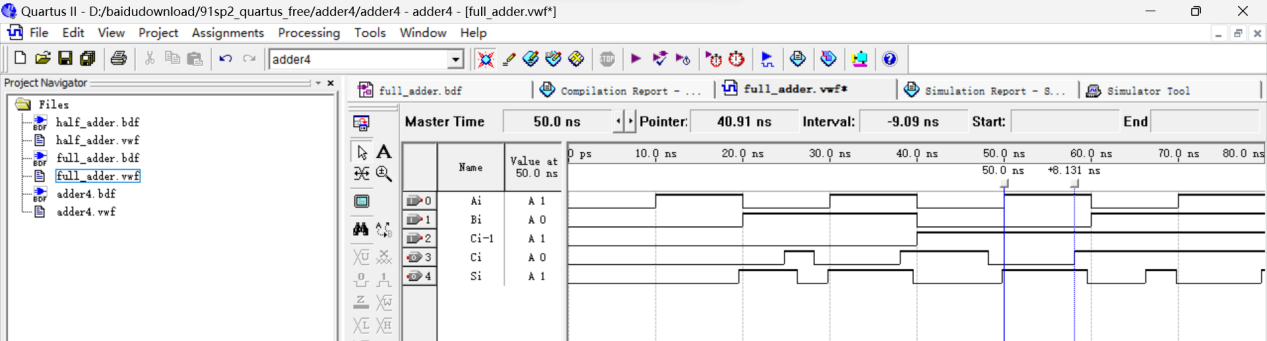
C之后的波形可发现各上升下降沿由于时延在时间轴上整体向后平移，但波形不变没有毛刺。



上图8.131ns与Progagation Delay表中[A,C]的RR时延一致；



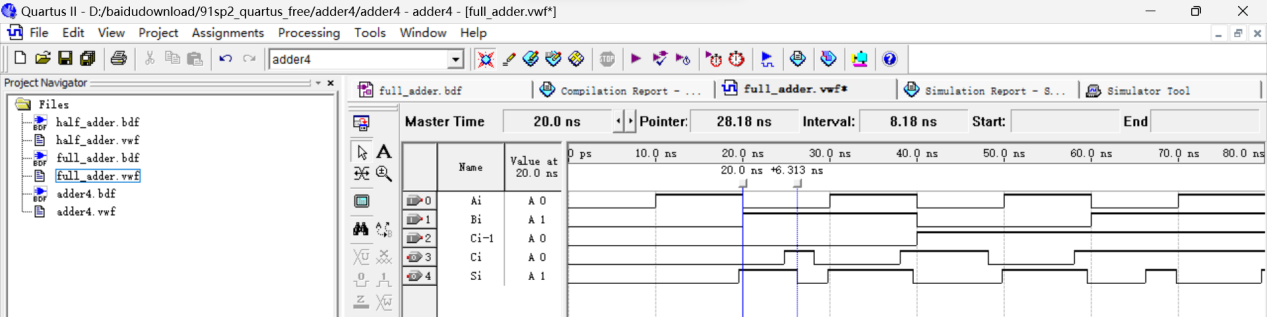
上图8.282ns与Progagation Delay表中[A,C]的FF时延一致；



上图8.131ns与Progagation Delay表中[A,C]的RR时延一致；

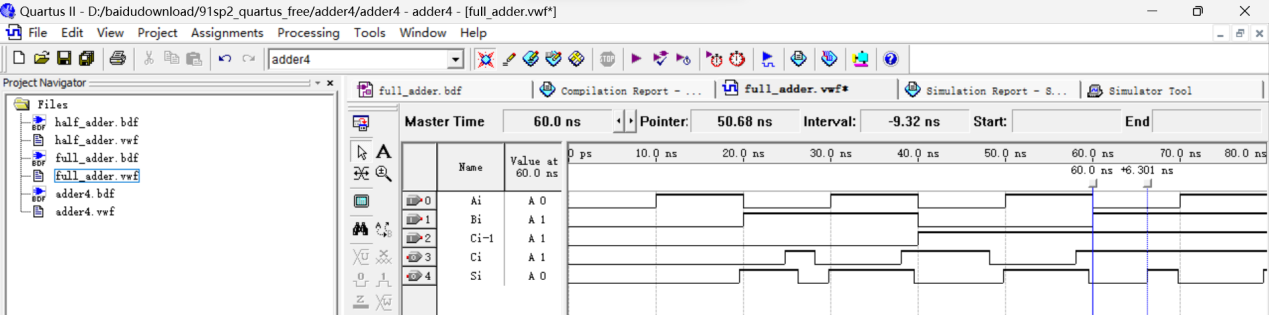
再分析S：

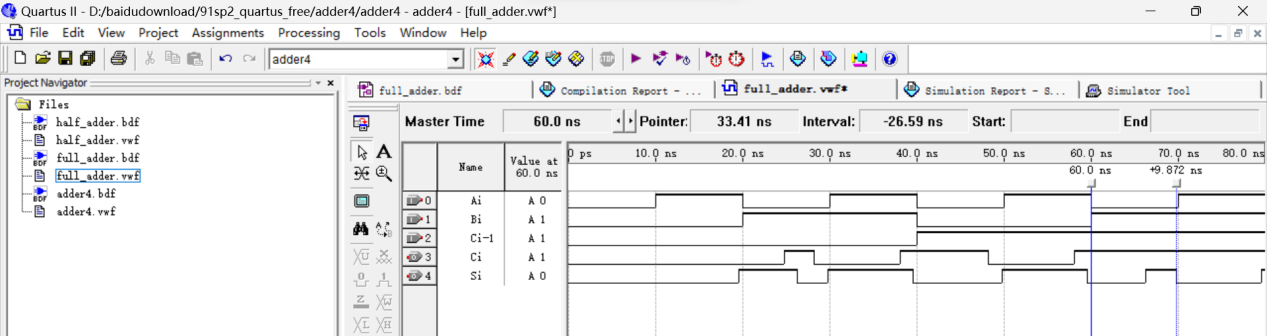
和C类似，S的波形各上升下降沿由于时延在时间轴上整体向后平移，但下图中：



在26.313ns处由于竞争冒险出现了一小段0，和它上一行C的一小段1类似，也是由于时延A、B同时为1导致，又根据Progagation Delay表：A、B和S的时延比对C的长2ns左右，所以S的这段0比上一行C的这段1延后一点。

在66.301ns处，S也同理有一段由竞争冒险导致的一段1，通过下图Time Bar的测量，可分析出，这段S=1是由于B的上升沿到达，而A的下降沿还未到达，两端时延之间造成了A、B、Ci-1三者同时为1，根据真值表，这个间隔内导致了一小段S=1。





**三、四位行波加法器：**

5) 将 1 位全加器封装成元件，新建原理图文件，调用 4 个全加器实现一个 4 位行波加法器，用功能

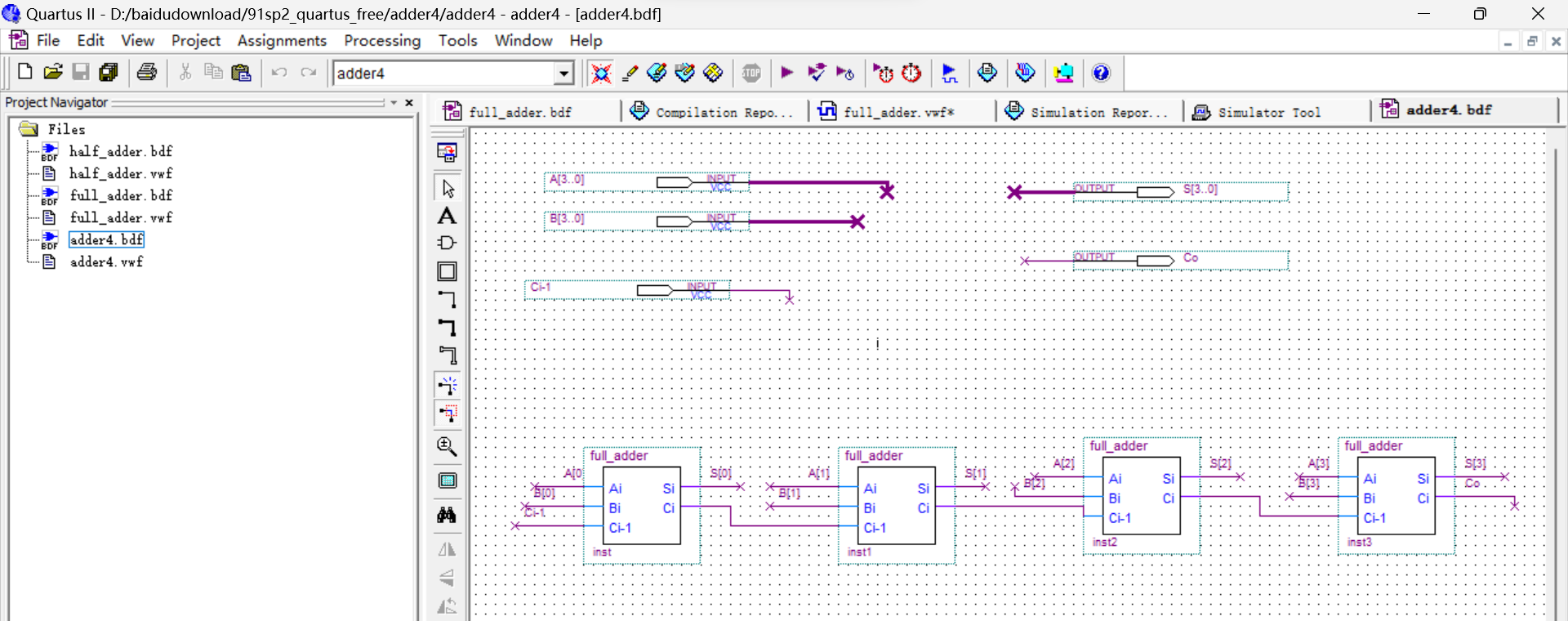
仿真进行验证，用“Tools”“Netlist Viewers”“RTL Viewer”查看电路综合结果；

6) 适配编译，用“Tools”“Netlist Viewers”“Technology Map Viewer”查看电路 Map 结果；

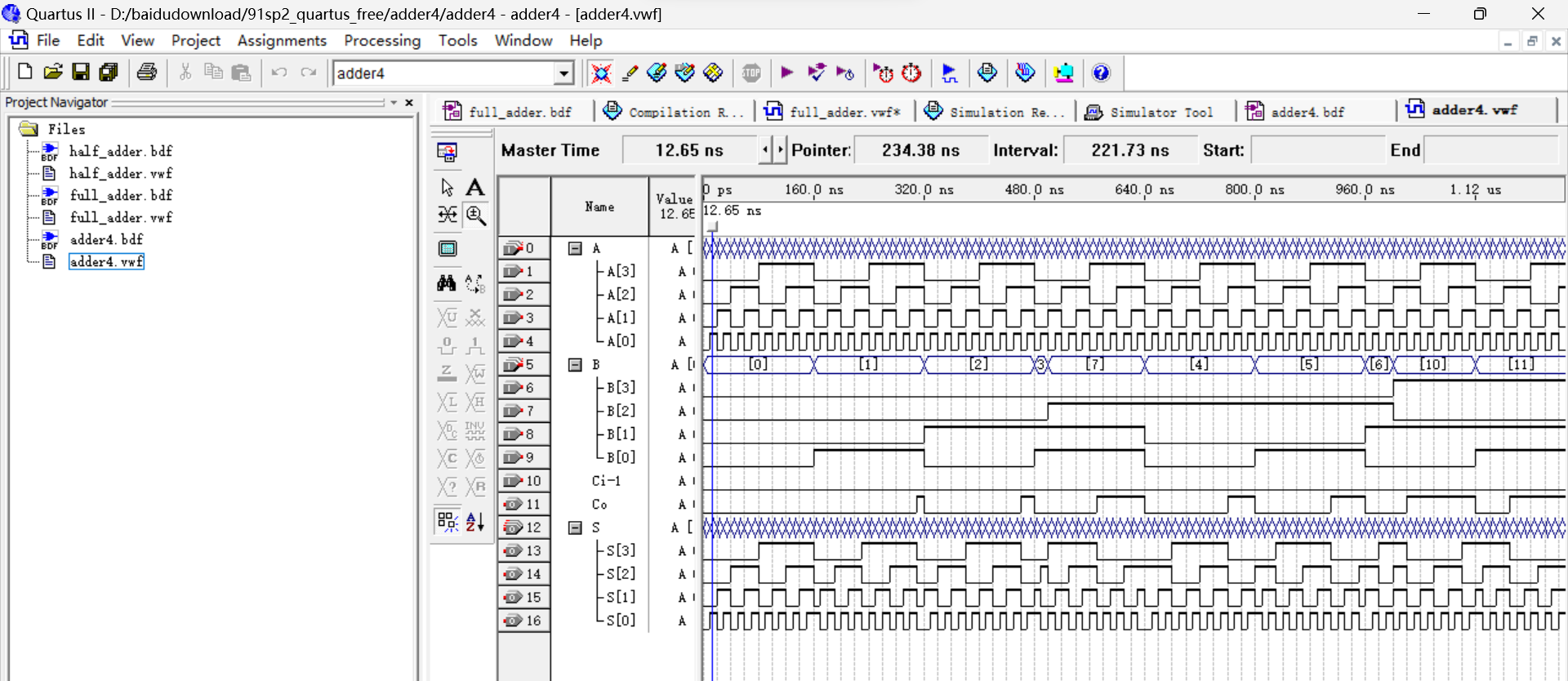
用“Tools”“Chip Planner”查看器件适配结果；

四位行波加法器原理图：

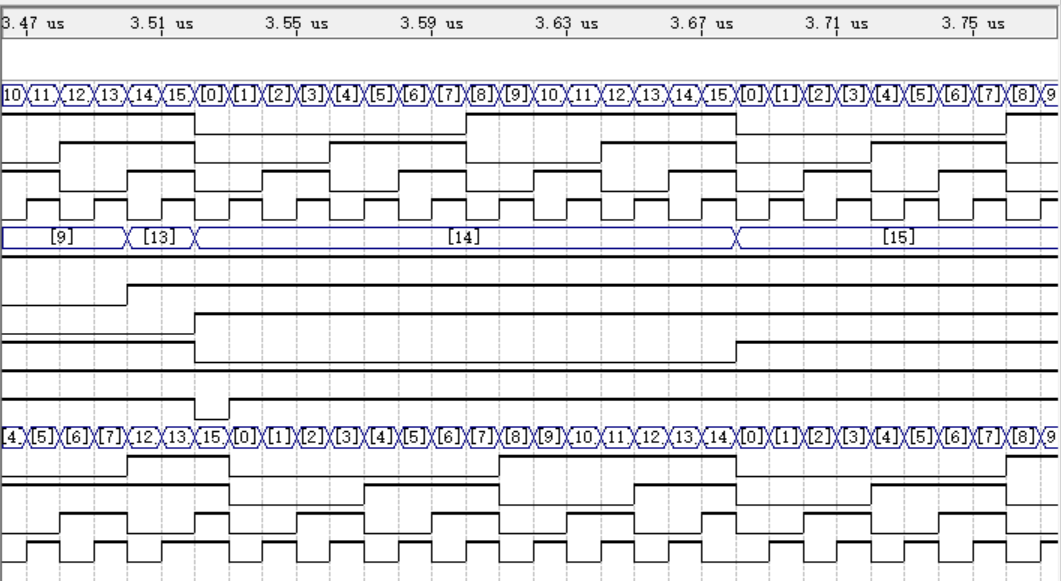
由4个一位全加器例化原件组成：

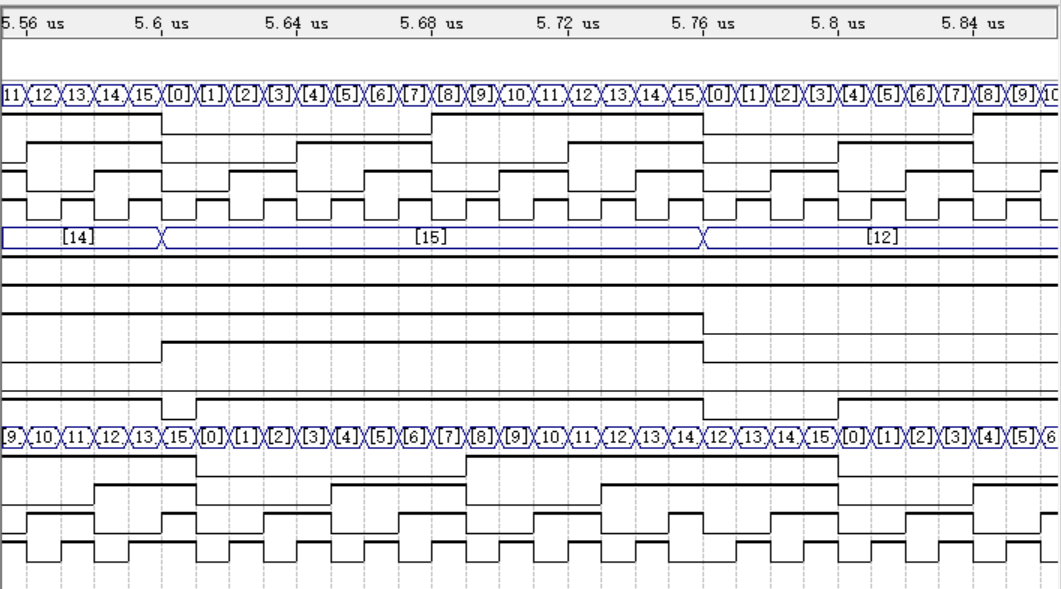


功能仿真：



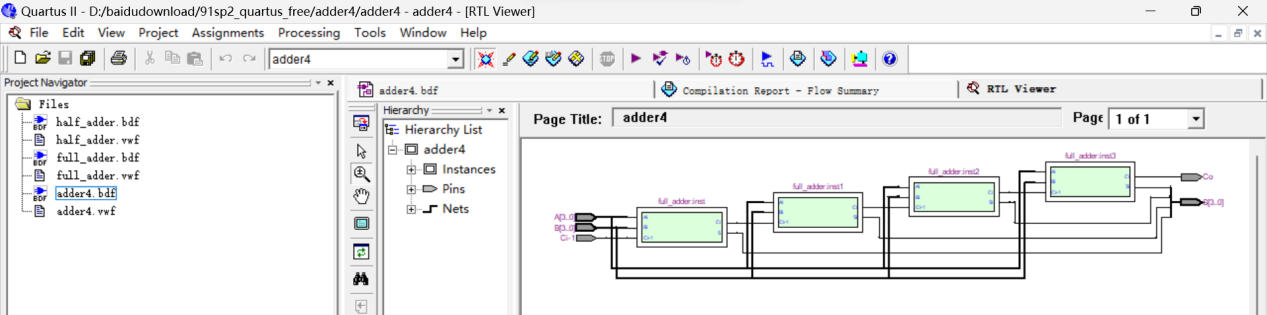
放大可看到具体数字，随机检查几组的计算正确性：



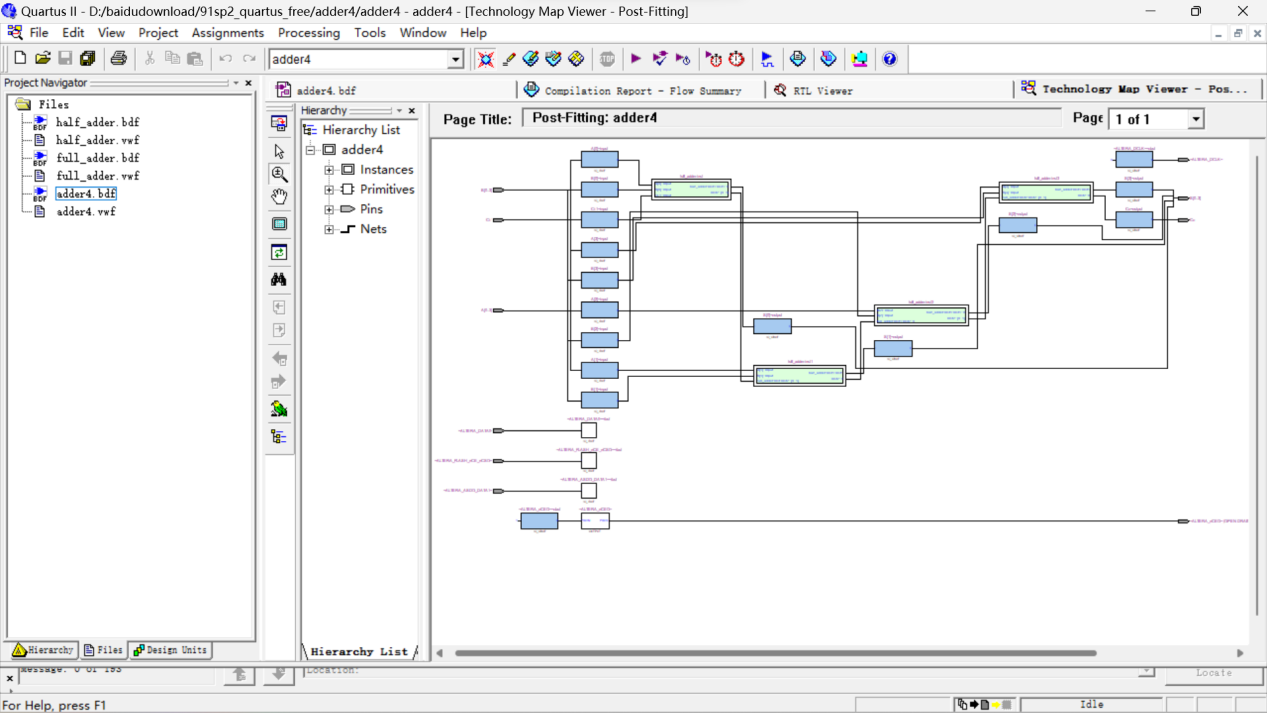


不难看出四位行波加法器的计算都是正确的，低位进位视为加一，两数以及低位进位相加超过16则进位output置1，仿真通过。

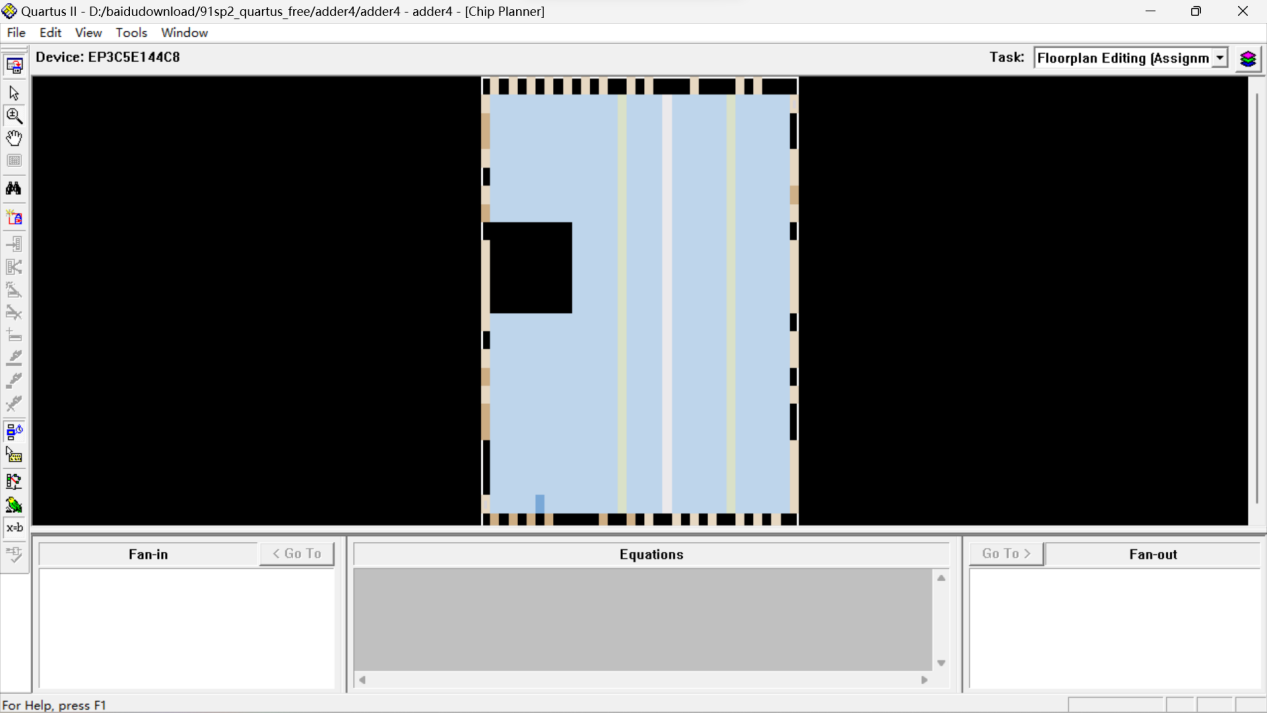
“Tools”“Netlist Viewers”“RTL Viewer”查看电路综合结果：



“Tools”“Netlist Viewers”“Technology Map Viewer”查看电路 Map 结果：

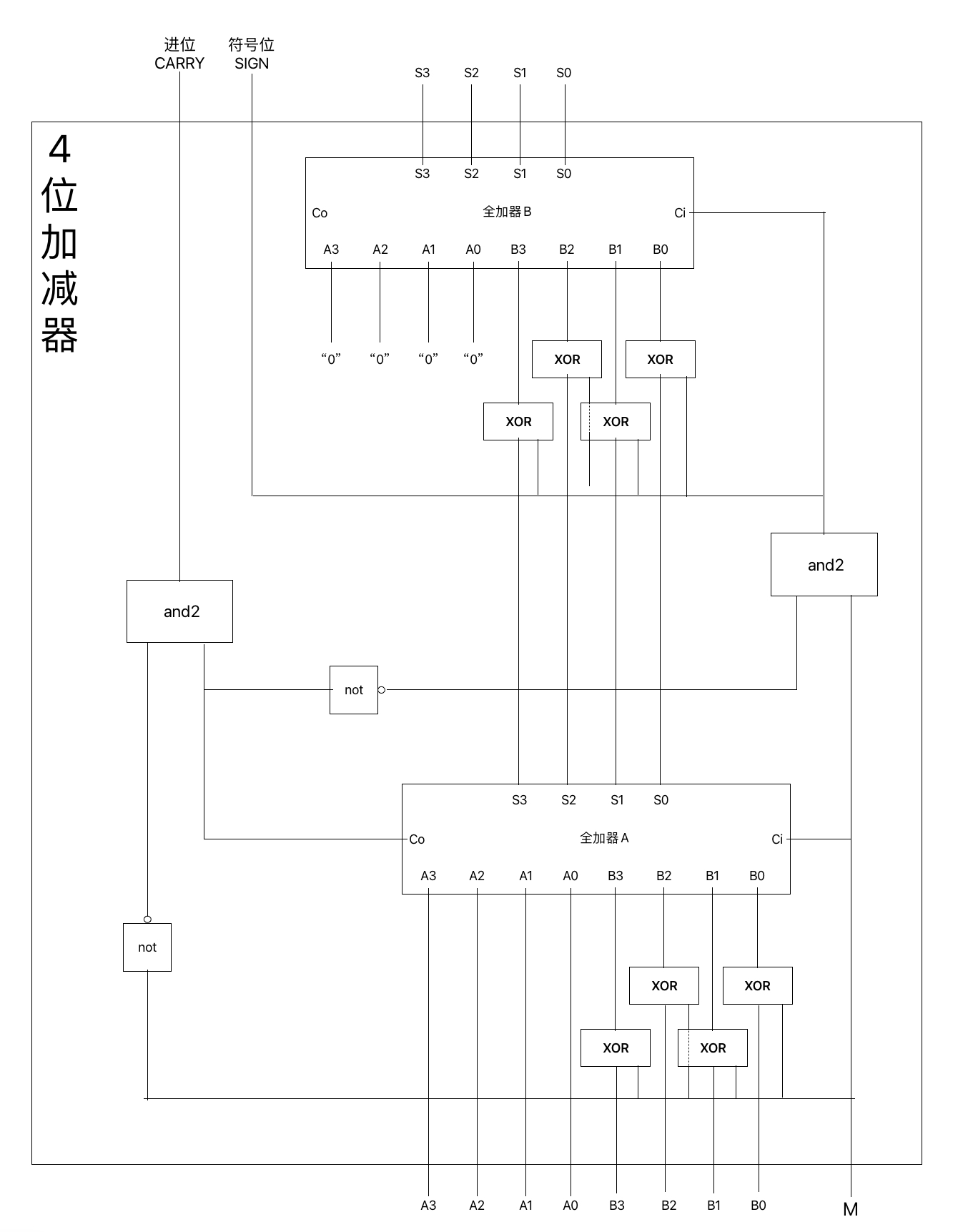


“Tools”“Chip Planner”查看器件适配结果：



**四、四位全减器（四位加减器）**

设计思路：

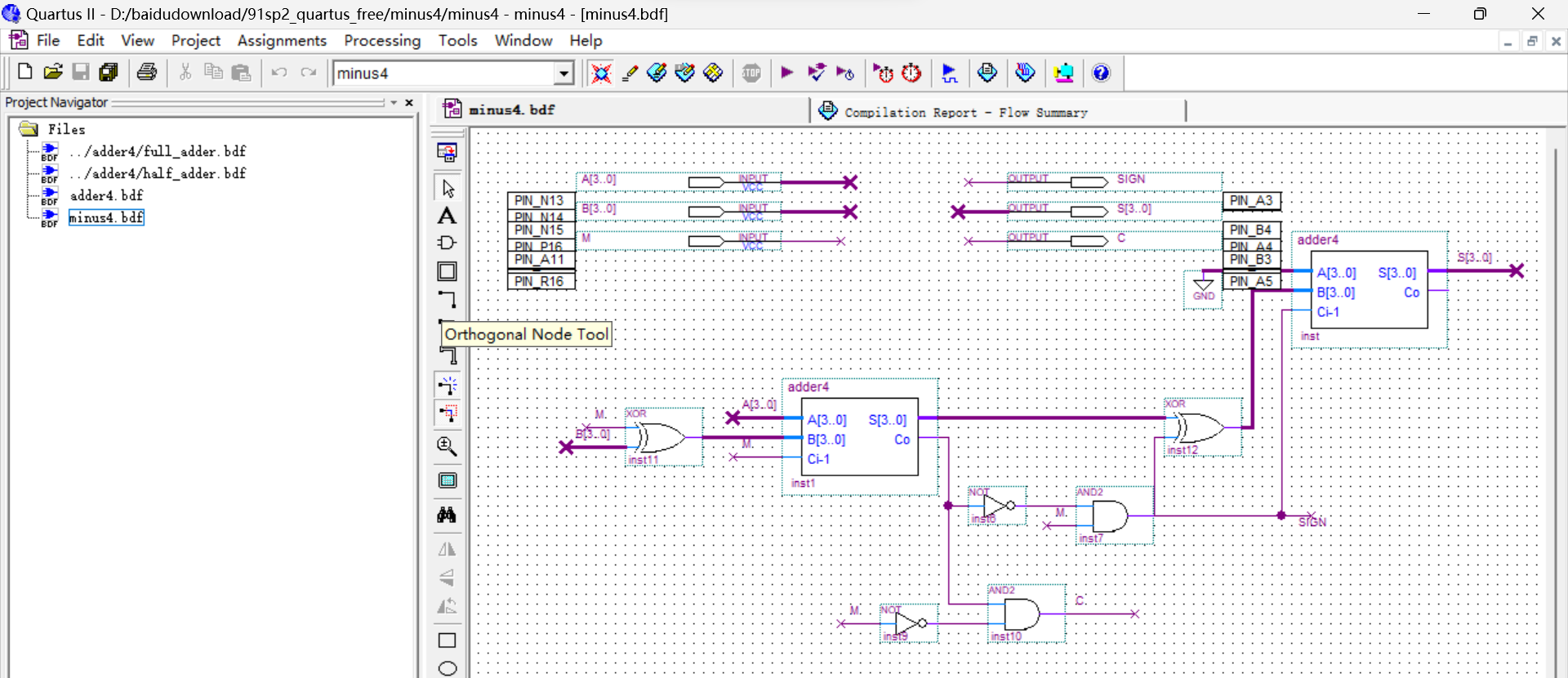


M=0时，加法电路：符号位与门被M=0封锁，符号位恒为0，而进位输出的与门一端为M非，即为1，与门输出和Ci进位位一致，异或门能做到一端输入为1则取另一输入端的反，一端输入为0则保持另一输入端的输入不变，所以M=0，加法电路的异或门不改变B输入，是正常A+B。

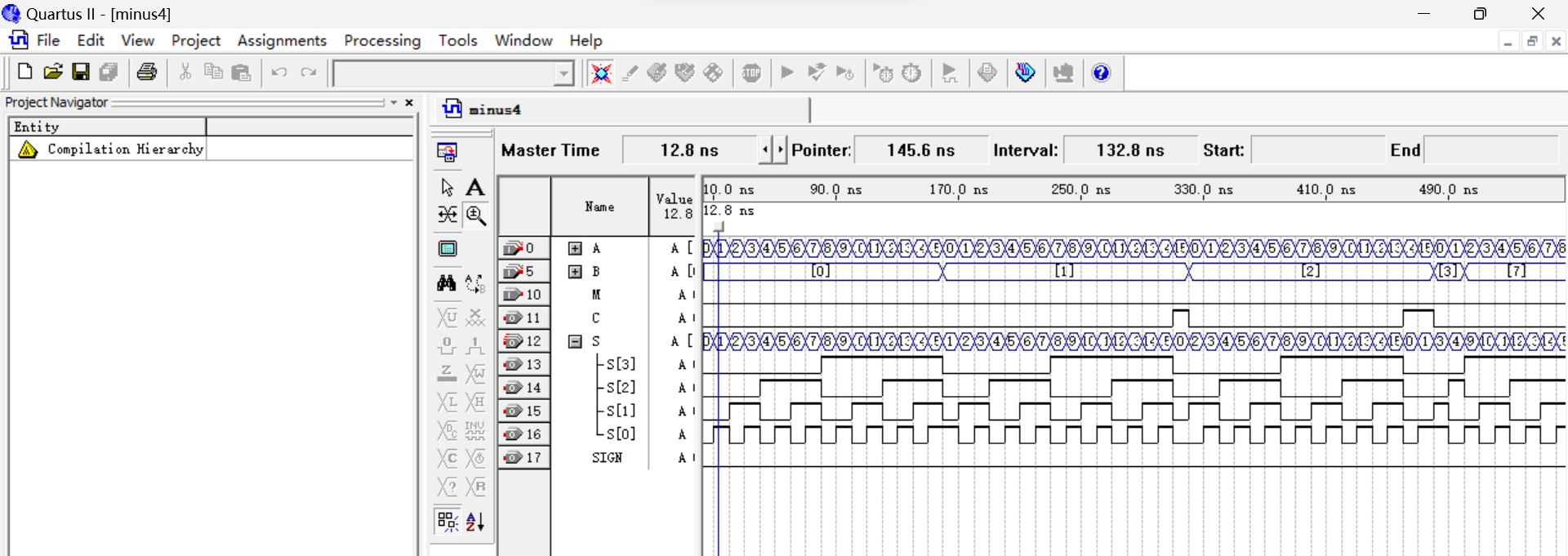
M=1时，减法电路：进位位与门被M非=1封锁，进位位恒为0，而符号输出的与门一端为M，即为1，与门输出和Ci进位位的非一致，异或门能做到一端输入为1则取另一输入端的反，一端输入为0则保持另一输入端的输入不变，所以M=1，减法电路的异或门能对B输入取反，是A+B的取反，再加1=Ci-1=M，符合减法运算原则，若有进位，则Ci经过非变成零，与门一端为M=1，输出和另一端输入的Ci非一致，那么符号位也为零，即摄取进位，反之，若没有进位，则加上符号位1，并再次对结果做取反加一的操作。

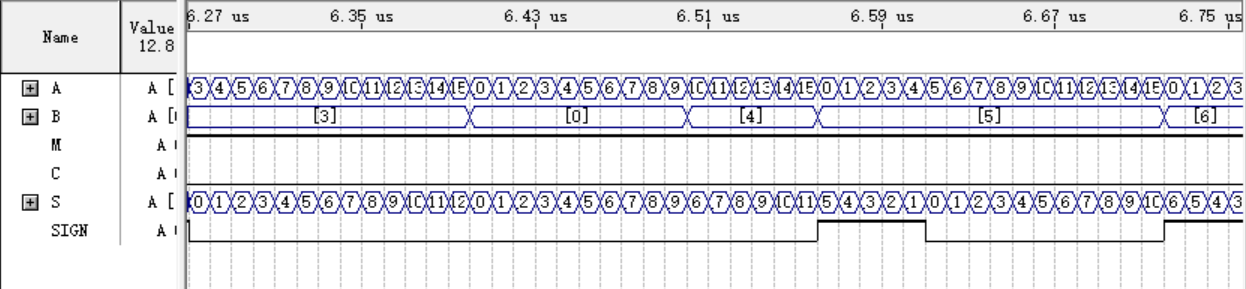
原理图：

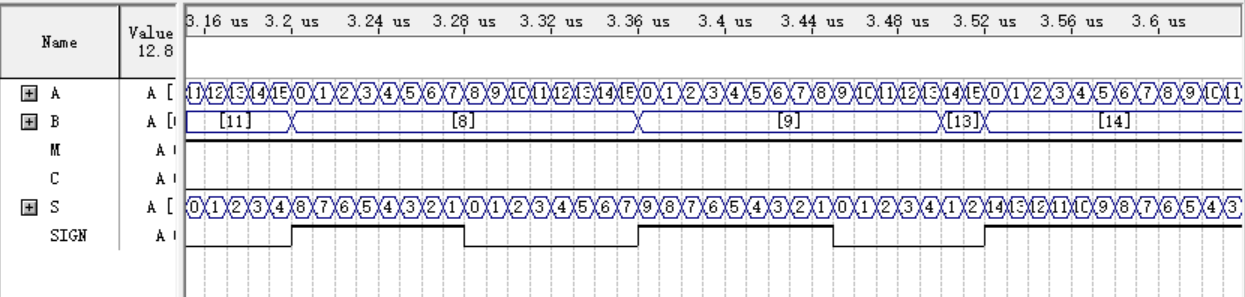
由两个封装好的四位全加器例化元件组成：



功能仿真：





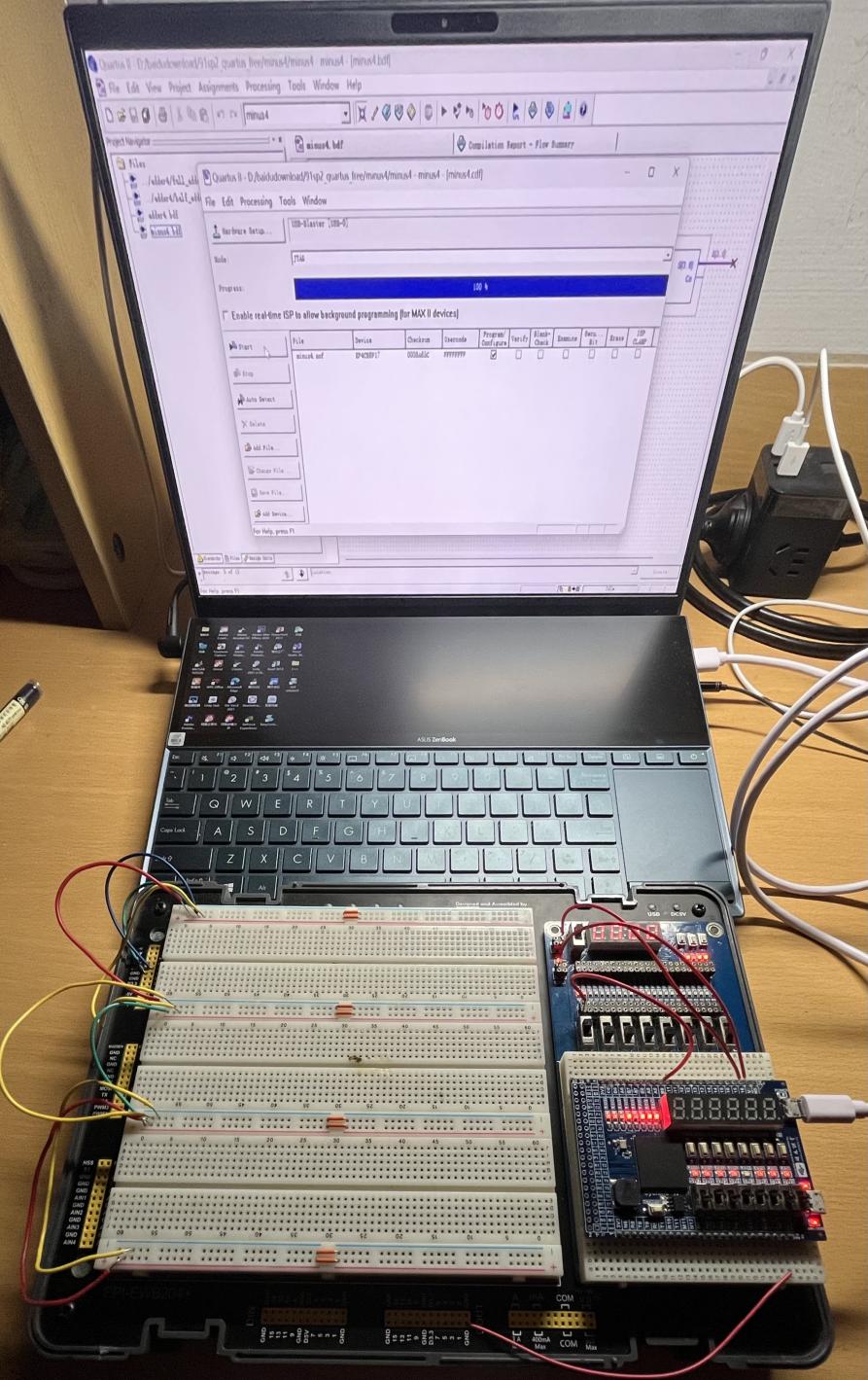


抽查的加减功能均正常，符合真值表设计预期。

1. **实物连接图：**

图中例子为M=1时的减法电路：5-12=-7：

（M扩展到Epi上，LED5-0分别为进位位、符号位、S3-0；SW7-0分别为A3-0、B3-0）

****